



Docket No.: P2002,0635

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Alexandria, VA 22313 20231.

By: 

Date: September 18, 2003

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Dirk Fuhrmann et al.
Appl. No. : 10/631,355
Filed : July 31, 2003
Title : Semiconductor Memory having a Configuration of Memory Cells

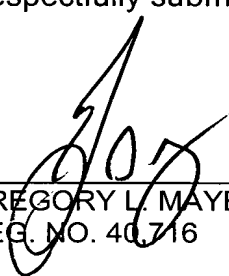
CLAIM FOR PRIORITY

Hon. Commissioner for Patents,
Alexandria, VA 22313-1450
Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 102 34 945.2 filed July 31, 2002.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,



GREGORY L. MAYBACK
REG. NO. 40,716

Date: September 18, 2003

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/mjb

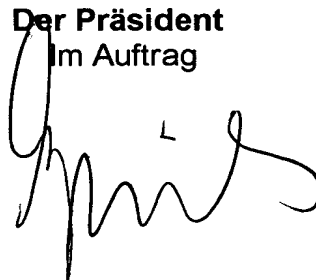


Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 34 945.2
Anmeldetag: 31. Juli 2002
Anmelder/Inhaber: Infineon Technologies AG,
München/DE
Bezeichnung: Halbleiterspeicher mit einer Anordnung von
Speicherzellen
IPC: H 01 L, G 11 C

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 17. Juli 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag



Agurks

Beschreibung

Halbleiterspeicher mit einer Anordnung von Speicherzellen

5 Die Erfindung betrifft einen Halbleiterspeicher mit einer Anordnung von Speicherzellen, die an erste Leitungen, die parallel zueinander verlaufen, und an zweite Leitungen, die parallel zueinander und senkrecht zu den ersten Leitungen verlaufen, angeschlossen sind und jeweils einen Speicherkondensator und einen vertikalen Auswahltransistor aufweisen, wobei innerhalb der Anordnung von Speicherzellen an jedem Kreuzungspunkt zwischen einer ersten Leitung und einer zweiten Leitung eine Speicherzelle angeschlossen ist. Insbesondere DRAMs (dynamical random access memory) oder andere flüchtige Halbleiterspeicher sind in dieser Weise aufgebaut. Sie besitzen ein Speicherzellenfeld, deren Speicherzellen jeweils einen Speicherkondensator zum Speichern von Ladungen und einen Auswahltransistor aufweisen. Jede Speicherzelle wird von einer ersten Leitung (beispielsweise einer Bitleitung) und einer zweiten Leitung (z. B. einer Wortleitung), die senkrecht zur ersten Leitung über das Halbleitersubstrat verläuft, angesteuert. Durch eine Veränderung der elektrischen Potentiale an der ersten und/oder der zweiten Leitung kann der Auswahltransistor geschaltet werden, so dass eine gewisse Ladungsmenge in den Speicherkondensator oder aus diesem heraus fließen kann.

Auswahltransistoren werden meist als MOSFETs (metall oxide semiconductor field effect transistor) ausgebildet, deren eine Source/Drain-Elektrode an eine Bitleitung und deren Gateelektrode an eine Wortleitung angeschlossen ist. Die zweite Source/Drain-Elektrode führt zum Speicherkondensator. Angesichts zunehmender Integrationsdichte zukünftiger Halbleiterspeicher werden die Auswahltransistoren vorzugsweise als vertikale Transistoren ausgebildet, deren beide Source/Drain-Elektroden vertikal zur Substratoberfläche übereinander angeordnet sind. Dadurch benötigt der Auswahltransistor nur eine

minimale Substratgrundfläche. Bei vertikalen Auswahltransistoren ist die Gateelektrode seitlich nur wenig versetzt und auf mittlerer Höhe zwischen beiden Source/Drain-Elektroden des Transistors angeordnet. Planare Auswahltransistoren hingegen, deren Elektroden lateral nebeneinander auf der Substratoberfläche angeordnet sind, benötigen eine wesentlich größere Substratgrundfläche.

Trotz der Verwendung vertikaler Auswahltransistoren läßt sich die Integrationsdichte eines Halbleiterspeichers nicht beliebig erhöhen, da aufgrund von Beugungserscheinungen bei der lithographischen Strukturierung eine Mindestbreite von Bitleitungen und Wortleitungen erforderlich ist und da zudem der Speicherkondensator, beispielsweise ein Grabenkondensator, eine gewisse Substratgrundfläche benötigt, um ausreichend hohe Ladungsmengen speichern zu können. Zwar besitzen die meist in Form eines deep trench ausgebildeten Speicherkondensatoren ein sehr hohes Aspektverhältnis und reichen sehr tief in das Substrat hinein, jedoch führen Leckströme gerade bei flüchtigen Halbleiterspeichern zu einem raschen Entweichen gespeicherter Ladungsmengen, so daß zur Kapazitätserhöhung auch in lateraler Richtung eine möglichst große Grundfläche für einen vergrabenen Speicherkondensator gewählt wird. Die Grundfläche der Grabenkondensatoren bestimmt daher die Integrationsdichte eines Halbleiterspeichers mit.

Im Zellenfeld eines Halbleiterspeichers werden Speicherkondensatoren bezüglich der Grundfläche des Halbleitersubstrats in unmittelbarer Nähe zum Kreuzungspunkt der Bitleitung und der Wortleitung angeordnet, die die betreffende Speicherzelle ansteuern. Entsprechend der netzwerkförmigen Anordnung zueinander paralleler Bitleitungen und zueinander paralleler Wortleitungen, die senkrecht zu den Bitleitungen über oder in der Substratgrundfläche verlaufen, sind die Speicherzellen und somit auch die Speicherkondensatoren beispielsweise schachbrettartig auf dem Substrat angeordnet. An mindestens einem Rand des Zellenfeldes sind Anschlüsse für die die Bitleitun-

- gen kreuzenden Wortleitungen vorgesehen. Bei einer realen Zellenfeldarchitektur kreuzen die Bitleitungen hingegen nicht mehr alle Wortleitungen, sondern nur noch einige von ihnen, um die Bitleitungskapazität gering zu halten und ein Auslesen einer Information aus einer Speicherzelle zu erleichtern. Verschiedene Gruppen von Wortleitungen kreuzen daher unterschiedliche Gruppen von Bitleitungen, so daß anstelle eines einzigen Zellenfeldes mehrere Zellenblöcke entstehen. Für Wortleitungen und Bitleitungen sind aufwendige Treiberschaltungen, d.h. Wortleitungstreiber oder Bewertungsschaltungen für Bitleitungen erforderlich. Größe und Anzahl dieser Schaltungen sind herkömmlich nur veränderbar, wenn zugleich die Anzahl der Wort- und Bitleitungen verändert wird.
- Bei einem herkömmlichen Halbleiterspeicher werden die Breiten der Bit- und Wortleitungen und ihre Abstände voneinander so gering wie möglich entsprechend der für die lithographische Belichtung verwendeten Wellenlänge gewählt. Die Grabenkondensatoren werden so breit wie möglich gestaltet, um große Ladungsmengen speichern zu können. Um die zur Verfügung stehende Substratgrundfläche bestmöglich auszunutzen, ist in der unmittelbaren Nähe an jedem Kreuzungspunkt zwischen einer Bitleitung und einer Wortleitung eine Speicherzelle, das heißt ein Speicherkondensator vorgesehen. Zum Auslesen gespeicherter Informationen sind Bewertungsschaltungen, z.B. mit Dummy-Zellen vorgesehen, um eine ausgelesene Speicherinformation einem digitalen Wert Null oder Eins zuordnen zu können.
- Bei der Anordnung von Speicherzellen an jedem Kreuzungspunkt zwischen Bit- und Wortleitung bei einem oben beschriebenen herkömmlichen Halbleiterspeicher lassen sich keine weiteren Strukturen mehr im Zellenfeld zwischen den einander benachbarten Bitleitungen oder einander benachbarten Wortleitungen unterbringen, da ihr gegenseitiger Abstand sowie ihre Breite bereits entsprechend der jeweiligen optischen Auflösungsgrenze optimiert sind.

Es ist die Aufgabe der vorliegenden Erfindung, einen Halbleiterspeicher bereitzustellen, bei dem ohne Veränderung des seitlichen Abstands zwischen benachbarten Speicherkondensatoren zusätzliche Strukturen, etwa Steuerleitungen zwischen benachbarten ersten oder zweiten Leitungen ausgebildet werden können. Es ist ferner die Aufgabe der Erfindung, die Anzahl von Speicherzellen, die pro Wortleitung oder pro Bitleitung angeschlossen angesteuert werden, zu verändern und dadurch Potential für eine Flächeneinsparung auf einem Halbleitersubstrat zu schaffen.

Diese Aufgabe wird bei einem Halbleiterspeicher der eingangs genannten Art dadurch gelöst, daß jede der zweiten Leitungen Speicherzellen miteinander verbindet, deren Speicherkondensatoren abwechselnd auf beiden Seiten der jeweiligen zweiten Leitung seitlich versetzt zu dieser jeweiligen zweiten Leitung angeordnet sind.

Erfindungsgemäß werden die Speicherkondensatoren in Form eines Rasters angeordnet, bei dem einander nächstbenachbarte Kondensatoren nicht wie herkömmlich in Richtung einer Bitleitung oder einer Wortleitung gegeneinander versetzt sind, sondern schräg, vorzugsweise diagonal zum Verlauf dieser Richtungen. Der Abstand der einander nächstbenachbarten Speicherkondensatoren soll, da er bestimmend für den Zellenabstand ist, unverändert bleiben. Die diagonale Anordnung einander nächstbenachbarter Grabenkondensatoren ermöglicht eine neuartige Geometrie bei der Anordnung der Speicherzellen. Erfindungsgemäß verbindet jede der zweiten Leitungen Speicherzellen miteinander, deren Speicherkondensatoren abwechselnd auf beiden Seiten dieser zweiten Leitung seitlich versetzt zu ihr angeordnet sind. Während herkömmlich eine Reihe von Speicherzellen zentral unterhalb einer zweiten Leitung angeordnet ist, ist erfindungsgemäß jede einzelne der zweiten Leitungen mit Speicherzellen verbunden, deren Speicherkondensatoren abwechselnd links von ihr und rechts von ihr seitlich versetzt

angeordnet sind. Auf diese Weise können durch eine einzige zweite Leitung zwei Reihen von Speicherzellen angesteuert werden, deren Speicherkondensatoren denselben Abstand voneinander besitzen wie bei einem herkömmlichen Halbleiterspeicher. Dadurch kann die Anzahl der benötigten zweiten Leitungen verringert werden. Da die Zellendichte infolge des unveränderten Abstandes zwischen einander nächstbenachbarten Speicherkondensatoren unverändert geblieben ist, sind die Abstände zwischen den zweiten Leitungen bei dem erfindungsgemäßen Halbleiterspeicher größer als herkömmlich. Dies hat zum einen den Vorteil, daß weniger Treiber zum Betreiben der zweiten Leitungen erforderlich sind; zum anderen können, soweit es die lithographische Auflösungsgrenze für die ersten und zweiten Leitungen zuläßt, zwischen einander benachbarten zweiten Leitungen zusätzliche Leitungen, etwa Steuerleitungen oder Hilfsleitungen angeordnet werden. Beispielsweise ist denkbar, die Wortleitungen mit jeweils einer zusätzlichen Parallelleitung zur Erhöhung ihrer Leitfähigkeit auszustatten. Die Anzahl der benötigten Treiber für die zweiten Leitungen wird dadurch nicht erhöht.

Bei dem erfindungsgemäßen Halbleiterspeicher ist die Anzahl von Speicherzellen, die an eine Wortleitung oder an eine Bitleitung angeschlossen sind, gegenüber einem herkömmlichen Halbleiterspeicher verändert. Das durch die erfindungsgemäße Anordnung erreichte veränderte Längenverhältnis beider Abmessungen der Speicherzellenfeldes schafft zusätzliches Potential für eine Flächeneinsparung auf einem Halbleitersubstrat. Eine erfindungsgemäße Veränderung der Anzahl pro Wort- oder Bitleitung angeschlossenen Speicherzellen bietet außerdem die Möglichkeit, die Länge und die Kapazität von Wortleitungen und Bitleitungen zu optimieren. Beispielsweise können gerade bei abnehmenden Strukturbreiten Schaltungen zum Bewerten äußerst schwacher Signale dimensioniert werden. In Verbindung mit einer Verringerung des Kondensatorabstands selbst bietet die erfindungsgemäße Anordnung komplexere Optimierungsmöglichkeiten.

Vorzugsweise ist vorgesehen, daß beliebige zwei Speicherzellen, deren Speicherkondensatoren einander nächstbenachbart sind, stets an zwei einander benachbarte erste Leitungen angeschlossen sind. Die einander nächstbenachbarten Speicherkondensatoren sind zwar an derselben zweiten Leitung angeschlossen, und sind in entgegengesetzte Richtungen senkrecht zum Verlauf dieser zweiten Leitungen gegenüber dieser seitlich versetzt, jedoch sind die Speicherzellen dieser Speicherkondensatoren weiterhin an unterschiedliche erste Leitungen angeschlossen, so daß ein Ansteuern einzelner Speicherzellen möglich ist.

Vorzugsweise ist vorgesehen, daß beliebige zwei Speicherzellen, die an dieselbe erste Leitung angeschlossen sind und deren Speicherkondensatoren entlang dieser ersten Leitung zueinander benachbart sind, stets an zwei einander benachbarte, vorzugsweise nächstbenachbarte zweite Leitungen angeschlossen sind. Obwohl jede zweite Leitung zwei Reihen von Speicherzellen ansteuert, von denen eine Reihe beispielsweise links und die andere Reihe rechts von ihr angeordnet ist, ist jede Speicherzelle einer dieser Reihen an eine jeweils andere erste Leitung angeschlossen. Obwohl aufgrund des diagonal angeordneten schachbrettartigen Musters einander nächstbenachbarter Speicherkondensatoren zwischen zwei benachbarten zweiten Leitungen stets zwei Reihen von Speicherzellen liegen, sind diejenigen Speicherzellen, die an dieselbe erste Leitung angeschlossen sind und entlang dieser ersten Leitung benachbart sind, an einander unmittelbar benachbarte zweite Leitungen angeschlossen.

Vorzugsweise ist vorgesehen, daß einander benachbarte zweite Leitungen um einen doppelt so großen Abstand gegeneinander versetzt angeordnet sind wie einander nächstbenachbarte erste Leitungen. Bei dieser Ausführungsform wird ausgenutzt, daß die zweiten Leitungen, die erfindungsgemäß zwei Reihen von Speicherzellen miteinander verbinden, in geringerer Anzahl

benötigt werden als bei einem herkömmlichen Leiterspeicher. Dadurch können ihre Abstände voneinander vergrößert werden. Vorzugsweise können zwischen den nun in einem größeren Abstand voneinander angeordneten zweiten Leitungen zusätzliche Leitungen, etwa Steuerleitungen oder Hilfsleitungen angeordnet werden. Sofern der Abstand nächstbenachbarter Speicherkondensatoren voneinander unverändert bleibt gegenüber einem herkömmlichen Halbleiterspeicher, verringert sich der Abstand der ersten Leitungen voneinander entsprechend. Für die ersten Leitungen und ihren gegenseitigen Abstand ist eine zusätzliche Verkleinerung der Auflösungsgrenze erforderlich, um zwischen den einander benachbarten zweiten Leitungen die zusätzlichen Leitungen zu strukturieren. Der Abstand der einander nächstbenachbarten Speicherkondensatoren bleibt jedoch unverändert. Im Falle einer schachbrettartigen Anordnung der Speicherzellen mit quadratischer Speicherzellengrundfläche und einem diagonal, d. h. etwa um 45° verdrehten Zellenraster ist der Abstand nächstbenachbarter zweiter Leitungen zueinander genau doppelt so groß wie der Abstand nächstbenachbarter erster Leitungen; zwischen den zweiten Leitungen kann daher je eine zusätzliche Leitung strukturiert werden.

Vorzugsweise ist vorgesehen, daß die ersten Leitungen Bitleitungen und die zweiten Leitungen Wortleitungen sind. Eine einzige Wortleitung kann dann doppelt so viele Speicherzellen pro Leitungslänge ansteuern. Dies kommt der Tendenz, die Bitleitungen ohnehin wesentlich kürzer als die Wortleitungen auszubilden, sehr entgegen. Auf diese Weise können Zellenblöcke, die wesentlich mehr Bitleitungen als Wortleitungen besitzen, auf einer rechteckigen Grundfläche angeordnet werden, deren Kantenverhältnis (das Verhältnis der Kantenlängen der längeren zur kürzeren Kante) wesentlich kleiner ist als bei einem herkömmlichen Halbleiterspeicher.

Vorzugsweise ist vorgesehen, daß die Speicherkondensatoren der an eine einzige Wortleitung angeschlossenen Speicherzel-

len abwechselnd auf der einen Seite dieser Wortleitung und auf der anderen Seite dieser Wortleitung angeordnet sind. Dementsprechend sind die an eine einzige Wortleitung angeschlossenen Speicherzellen abwechselnd links und rechts zur Wortleitung versetzt. Somit verläuft die Wortleitung in der Mitte zwischen zwei Reihen von Speicherzellen, die beide durch diese einzige Wortleitung angesteuert werden.

Alternativ ist vorgesehen, daß die ersten Leitungen Wortleitungen und die zweiten Leitungen Bitleitungen sind. Bei dieser Ausführungsform können zwischen einander benachbarten Bitleitungen zusätzliche Leitungen, die parallel zu den Bitleitungen verlaufen, strukturiert werden.

Vorzugsweise ist vorgesehen, daß einander nächstbenachbarte Speicherkondensatoren ein zum Verlauf der ersten Leitungen und zum Verlauf der zweiten Leitungen diagonales Raster bilden. Die Abstände der Wortleitungen voneinander und der Bitleitungen voneinander werden für Wortleitungen und für Bitleitungen unterschiedlich groß gewählt, wodurch die Speicherkondensatoren so verschoben werden können, daß ihre Positionen ein quadratisches, zum Verlauf der Wortleitungen und der Bitleitungen diagonales Raster bilden.

Vorzugsweise sind die Speicherkondensatoren in einem Halbleitersubstrat vergrabene Grabenkondensatoren. Die in einem deep trench angeordneten Kondensatoren werden hergestellt, indem in einen deep trench zunächst das Kondensatordielektrikum an der Grabenwand abgeschieden wird und anschließend eine Füllung als innere Kondensatorelektrode eingebracht wird. Die äußere Elektrode wird durch eine eindiffundierte Schicht in dem dotierten Halbleitersubstrat, das den deep trench umgibt, gebildet.

Alternativ dazu können über den Halbleitersubstrat gestapelte Schichtkondensatoren vorgesehen sein.

Die Auswahltransistoren sind vorzugsweise MOSFETs; ihre Gateelektroden sind üblicherweise an die Wortleitungen angeschlossen. Die oberen Source/Drain-Elektroden der vertikalen Auswahltransistoren sind an die Bitleitungen angeschlossen; 5 die unteren Source/Drain-Elektroden sind leitfähig mit der inneren Elektrode des Kondensators verbunden.

Der Halbleiterspeicher ist vorzugsweise ein flüchtiger Halbleiterspeicher, insbesondere ein DRAM.

10

Die Erfindung wird nachstehend anhand der Figuren 1 bis 5 beschrieben. Es zeigen:

15

Figur 1 eine Draufsicht auf einen Halbleiterspeicher in schematischer Darstellung,

Figur 2 einen Querschnitt durch eine Speicherzelle eines Halbleiterspeichers,

20

Figur 3 einen herkömmlichen Halbleiterspeicher,

Figur 4 eine erste Ausführungsform eines erfindungsgemäßen Halbleiterspeichers und

25

Figur 5 eine zweite Ausführungsform eines erfindungsgemäßen Halbleiterspeichers.

30

Figur 1 zeigt einen Halbleiterspeicher, der eine Vielzahl von Speicherzellen 5 aufweist, die durch erste Leitungen, etwa Bitleitungen 1, und zweite Leitungen, etwa Wortleitungen reihenweise miteinander verbunden sind. Außerhalb des Speicherblocks 15 ist schematisch ein Bewertungsschaltungsbereich 7 dargestellt. Eine Bewertungsschaltung bewertete das aus einer Speicherzelle ausgelesene Signal als digitale Eins oder Null 35 und kann beispielsweise eine Dummy-Bitleitung 9 mit Dummy-Speicherzellen 8 aufweisen. Beim Auslesen einer Speicherzelle 5 kann die Bewertung der ausgelesenen Ladungsmenge mit einem

digitalen Bitwert beispielsweise durch den Vergleich mit einem aus einer Dummy-Zelle 8 ausgelesenen Datenwert erfolgen. In diesem Fall steuert eine nicht dargestellte Bewertungseinheit die Dummy-Bitleitung 9 und die jeweils ansteuernde Bitleitung 1 an.

Figur 2 zeigt den typischen Aufbau einer Speicherzelle, die einen in einem deep trench angeordneten Speicherkondensator, d. h. einen Grabenkondensator 3 aufweist. In dem Graben ist oberhalb des Speicherkondensators 3 der Auswahltransistor 4 der Speicherzelle 5 angeordnet. Sofern der Auswahltransistor ein MOSFET ist, besitzt er eine obere und eine untere Source/Drain-Elektrode 11, 12, zwischen denen ein Kanalbereich angeordnet ist. Seitlich neben dem Kanalbereich verläuft eine Wortleitung 2, die die Gateelektrode des Auswahltransistors bildet. Zwischen der Gateelektrode und dem Kanalbereich ist eine dünne Isolatorschicht angeordnet, durch elektrische Induktion kann ein Kanal ausgebildet werden, der den Transistor öffnet und den Kondensator 3 lädt oder entlädt.

Die obere Elektrode 11 ist mit einer Bitleitung 1 verbunden, die senkrecht zur Wortleitung 2 über die Substratoberfläche verläuft.

Die in Figur 2 im Querschnittsansicht dargestellte Speicherzelle ist auf einem Halbleiterspeicher in großer Anzahl vorhanden. Figur 3 zeigt einen schematischen Grundriß eines herkömmlichen Halbleiterspeichers, dessen Bitleitungen 1 und Wortleitungen 2 einander kreuzen. An jedem Schnittpunkt ist eine Speicherzelle 5 gemäß Figur 2 oder in anderer, aus dem Stand der Technik bekannter Ausführung angeordnet. Die Speicherkondensatoren 3 befinden sich im Falle von Grabenkondensatoren üblicherweise zentral unter der jeweiligen Wortleitung oder stets in dieselbe Richtung (in Figur 3 nach oben) versetzt gegenüber der Wortleitung.

Figur 4 zeigt einen schematischen Grundriß eines erfindungs-
gemäßen Halbleiterspeichers in einer ersten Ausführungsform,
bei der die ersten Leitungen Bitleitungen und die zweiten
Leitungen Wortleitungen sind. Der Halbleiterspeicher besitzt
5 ein Raster von Speicherkondensatoren 3, bei dem die Strecke
zwischen einander nächstbenachbarten Grabenkondensatoren 3 um
45° gegenüber dem Verlauf, d. h. der Richtung der Bitleitun-
gen 1 und Wortleitungen 2 verdreht ist, dem Betrag nach je-
doch gleich groß ist wie in Figur 3. Daher ist die Speicher-
10 zellendichte gleich groß wie in Figur 3. Die Verschaltung der
Speicherzellen miteinander ist jedoch in beiden Figuren un-
terschiedlich. Jede Wortleitung 2 ist in Figur 4 an zwei zur
Wortleitung parallele Reihen von Speicherzellen 5 angeschlos-
sen. Die an jeweils eine einzige Wortleitung 2 angeschlosse-
15 nen Speicherzellen 3 sind in Form einer zickzackförmigen Li-
nie abwechselnd oberhalb und unterhalb der Wortleitung in Fi-
gur 3, d. h. in Bezug auf die Substratoberfläche links und
rechts von der Wortleitung 2 zu dieser versetzt angeordnet,
wodurch eine Wortleitung bei gleichbleibender Wortleitungs-
20 menge mehr Speicherzellen ansteuern kann als bei einem her-
kömmlichen Halbleiterspeicher. Wie bei einem herkömmlichen
Halbleiterspeicher sind auch in Figur 4 zwei dieselbe Bitlei-
tung 1b angeschlossene und entlang dieser Bitleitung 1b ein-
ander benachbarte Speicherzellen 5a an verschiedene, einander
3 nächstbenachbarte Wortleitungen 2a angeschlossen, so daß auch
mit dem erfindungsgemäßen Halbleiterspeicher ein vorzugsweise
einzelnes Ansteuern jeweils nur einer einzigen Speicherzelle
möglich ist. Die Speicherkondensatoren 3c, der an eine einzi-
ge Bitleitung angeschlossenen Speicherzellen 5a sind entweder
30 alle rechts oder alle links von der Wortleitung versetzt an-
geordnet. Einander nächstbenachbarte Speicherkondensatoren 3a
bzw. 3b sind somit stets an zwei nächstbenachbarte Bitleitun-
gen 1a angeschlossen. Das Rastermaß der Wortleitungen 2 ist
doppelt so groß wie das der Bitleitungen 1, so daß zwischen
35 den Wortleitungen jeweils eine zusätzliche Leitung struktu-
riert werden kann, um beispielsweise bei sehr langen Wortlei-
tungen deren Leitfähigkeit zu erhöhen.

Figur 5 zeigt eine weitere Ausführungsform eines erfindungs-
gemäßen Halbleiterspeichers in schematischer Draufsicht, bei
der Wortleitungen und Bitleitungen hinsichtlich der Anordnung
5 der Speicherzellen miteinander vertauscht sind. Zwar sind
weiterhin die Bitleitungen mit den oberen Source/Drain-
Elektroden der Speicherzellen 5 verbunden und die Wortleitun-
gen bilden auch weiterhin die Gateelektroden der Auswahltran-
sistoren, jedoch sind bei dem in Figur 5 dargestellten Block
10 von Speicherzellen die Bitleitungen an eine größere Anzahl
von Speicherzellen 5 pro Bitleitungsmenge angeschlossen als
bei einem herkömmlichen Halbleiterspeicher gemäß Figur 3. Die
Grabenkondensatoren 3 befinden sich abwechselnd rechts und
links, d. h. in Figur 5 nach oben und nach unten gegenüber
15 der Bitleitung 2 versetzt, so daß jede Bitleitung 2 zwei Rei-
hen von Speicherzellen ansteuert. Die Wortleitungen 1 sind
mit einer geringeren Anzahl von Speicherzellen verbunden.

Gegenüber dem Halbleiterspeicher gemäß 4 hat die Ausführungs-
20 form gemäß Figur 5 den Vorteil, daß die Bitleitung bei vorge-
gebener Anzahl von Speicherzellen, die an eine Bitleitung an-
zuschließen sind, besonders kurz ausgebildet werden kann. An-
dererseits hat die Ausführungsform gemäß Figur 4 den Vorteil,
daß nur wenige Wortleitungen benötigt werden, so daß auch nur
35 eine geringe Anzahl von Wortleitungstreibern erforderlich
ist, wodurch auf dem Halbleitersubstrat 16 Grundfläche einge-
spart wird.

Das Auslesen eines Halbleiterspeichers gemäß Figur 4 oder Fi-
30 gur 5 erfolgt wie bei einem herkömmlichen Halbleiterspeicher
mit Hilfe von Bewertungsschaltungen.

Insbesondere flüchtige Halbleiterspeicher wie vorzugsweise
35 DRAMs können auf die erfindungsgemäße Weise ausgebildet wer-
den.

Patentansprüche

1. Halbleiterspeicher mit einer Anordnung von Speicherzellen (5), die an erste Leitungen (1), die entlang einer ersten
5 Richtung verlaufen, und an zweite Leitungen (2), die entlang einer zweiten Richtung verlaufen und die die ersten Leitungen (1) kreuzen, angeschlossen sind und jeweils einen Speicher-
kondensator (3) und einen vertikalen Auswahltransistor (4) aufweisen, wobei innerhalb der Anordnung von Speicherzellen
10 an jedem Kreuzungspunkt zwischen einer ersten Leitung (1) und einer zweiten Leitung (2) eine Speicherzelle (5) angeschlossen ist,
dadurch gekennzeichnet, daß
jede der zweiten Leitungen (2) Speicherzellen (5) miteinander
15 verbindet, deren Speicherkondensatoren (3b) abwechselnd auf beiden Seiten der jeweiligen zweiten Leitung (2) seitlich versetzt zu dieser jeweiligen zweiten Leitung (2) angeordnet sind.
- 20 2. Halbleiterspeicher nach Anspruch 1,
dadurch gekennzeichnet, daß
beliebige zwei Speicherzellen (5), deren Speicherkondensato-
ren (3a) einander nächstbenachbart sind, stets an zwei einan-
der benachbarte erste Leitungen (1a) angeschlossen sind.
- 25 3. Halbleiterspeicher nach Anspruch 1 oder 2,
dadurch gekennzeichnet, daß
beliebige zwei Speicherzellen (5a), die an dieselbe erste
Leitung (1b) angeschlossen sind und deren Speicherkondensato-
30 ren (3c) entlang dieser ersten Leitung (1b) zueinander be-
nachbart sind, stets an zwei einander benachbarte zweite Lei-
tungen (2a) angeschlossen sind.
4. Halbleiterspeicher nach einem der Ansprüche 1 bis 3,
35 dadurch gekennzeichnet, daß

einander benachbarte zweite Leitungen (2) um einen doppelt so großen Abstand (d2) gegeneinander versetzt angeordnet sind wie einander nächstbenachbarte erste Leitungen (1).

- 5 5. Halbleiterspeicher nach einem der Ansprüche 1 bis 4,
dadurch gekennzeichnet, daß
die ersten Leitungen (1) Bitleitungen und die zweiten Leitungen (2) Wortleitungen sind.
- 10 6. Halbleiterspeicher nach Anspruch 5,
dadurch gekennzeichnet, daß
die Speicherkondensatoren (3) der an eine einzige Wortleitung
(2) angeschlossenen Speicherzellen (5) abwechselnd auf der
einen Seite dieser Wortleitung (2) und auf der anderen Seite
15 dieser Wortleitung (2) angeordnet sind.
7. Halbleiterspeicher nach einem der Ansprüche 1 bis 4,
dadurch gekennzeichnet, daß
die ersten Leitungen (1) Wortleitungen und die zweiten Lei-
20 tungen (2) Bitleitungen sind.
8. Halbleiterspeicher nach einem der Ansprüche 1 bis 7,
dadurch gekennzeichnet, daß
daß einander nächstbenachbarte Speicherkondensatoren (3b) ein
zum Verlauf der ersten Leitungen (1) und zum Verlauf der
zweiten Leitungen (2) diagonales Raster bilden.
9. Halbleiterspeicher nach einem der Ansprüche 1 bis 8,
dadurch gekennzeichnet, daß
30 die Speicherkondensatoren (3) in einem Halbleitersubstrat (8)
vergrabene Grabenkondensatoren sind.
10. Halbleiterspeicher nach einem der Ansprüche 1 bis 9,
dadurch gekennzeichnet, daß
35 die Auswahltransistoren (4) MOSFETs sind, deren Gateelektroden (6) an die Wortleitungen (2) angeschlossen sind.

11. Halbleiterspeicher nach einem der Ansprüche 1 bis 10,
dadurch gekennzeichnet, daß
der Halbleiterspeicher ein dynamischer Schreib-Lese-Speicher
ist.

Zusammenfassung

Halbleiterspeicher mit einer Anordnung von Speicherzellen

5 Es wird ein Halbleiterspeicher mit einer neuartigen Geometrie
des Speicherzellenfeldes vorgeschlagen. Ohne den Abstand zwi-
schen einander nächstbenachbarten Speicherkondensatoren (3)
zu verringern, können zwischen benachbarten Leitungen (2),
insbesondere Wortleitungen (2) zusätzliche Leitungen struktu-
10 riert werden. Bei einer bevorzugten Ausführungsform wird die
Anzahl der bei gleichbleibender Anzahl von Speicherzellen (5)
benötigten Wortleitungen (2) verringert, wodurch Wortlei-
tungstreiber eingespart werden und Substratfläche gewonnen
wird.

15

Figur 4

Bezugszeichenliste

	1	erste Leitung
	2	zweite Leitung
5	3	Speicherkondensator
	4	Auswahltransistor
	5	Speicherzelle
	7	Bewertungsschaltungsbereich
	11	obere Source/Drain-Elektrode
10	12	untere Source/Drain-Elektrode
	13	Gateelektrode
	15	Speicherzellenfeld
	16	Halbleitersubstrat

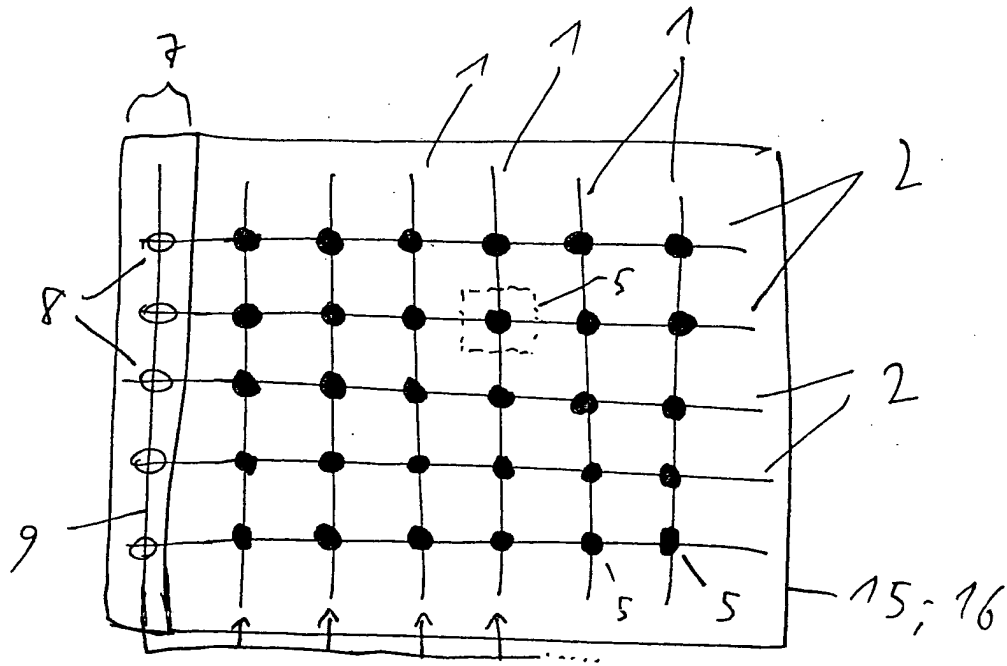


Fig. 1

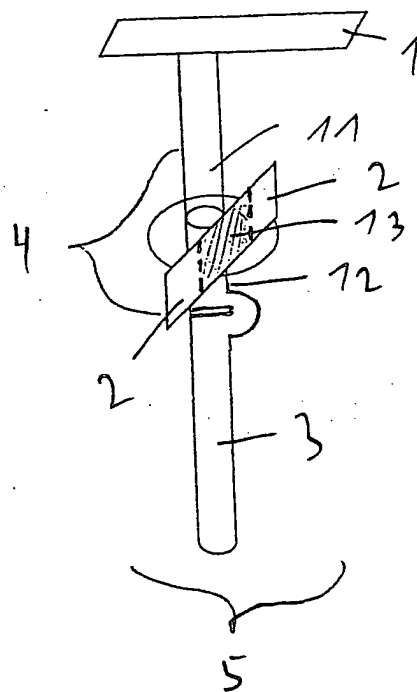


Fig. 2

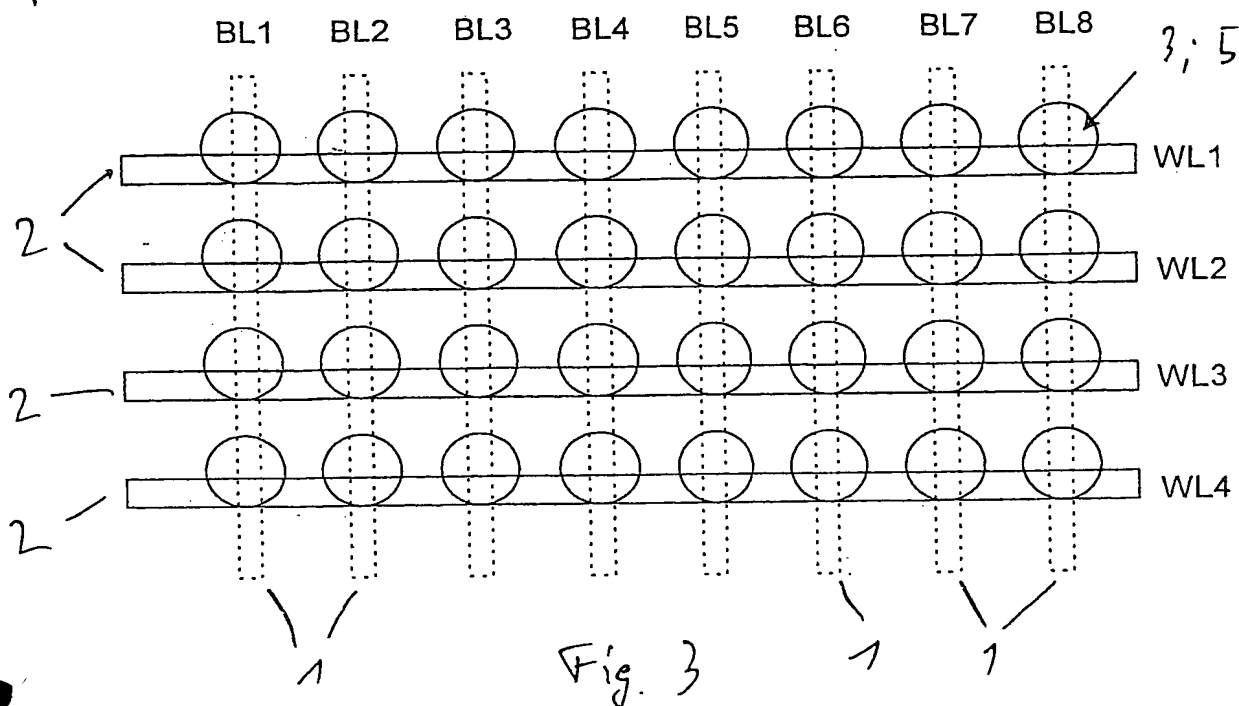
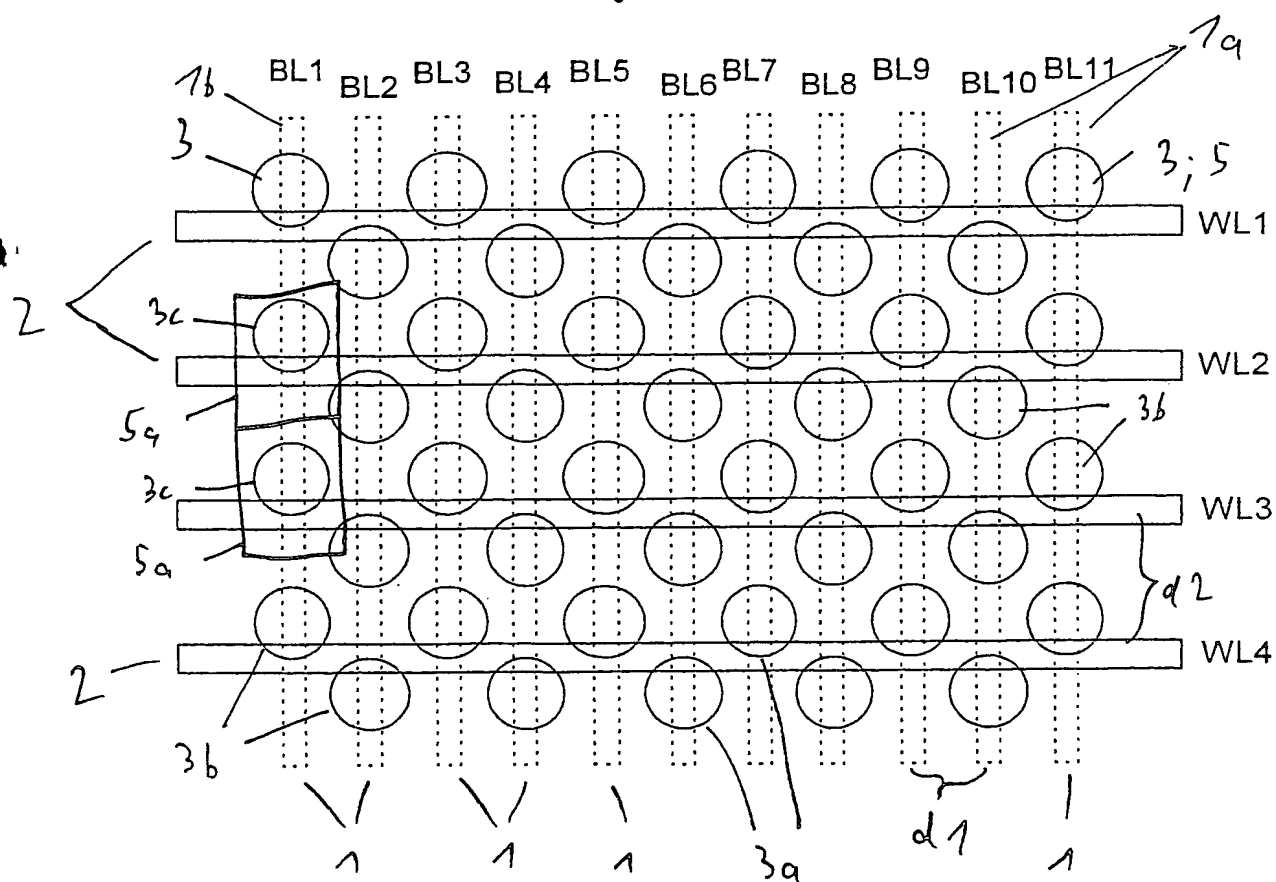


Fig. 4



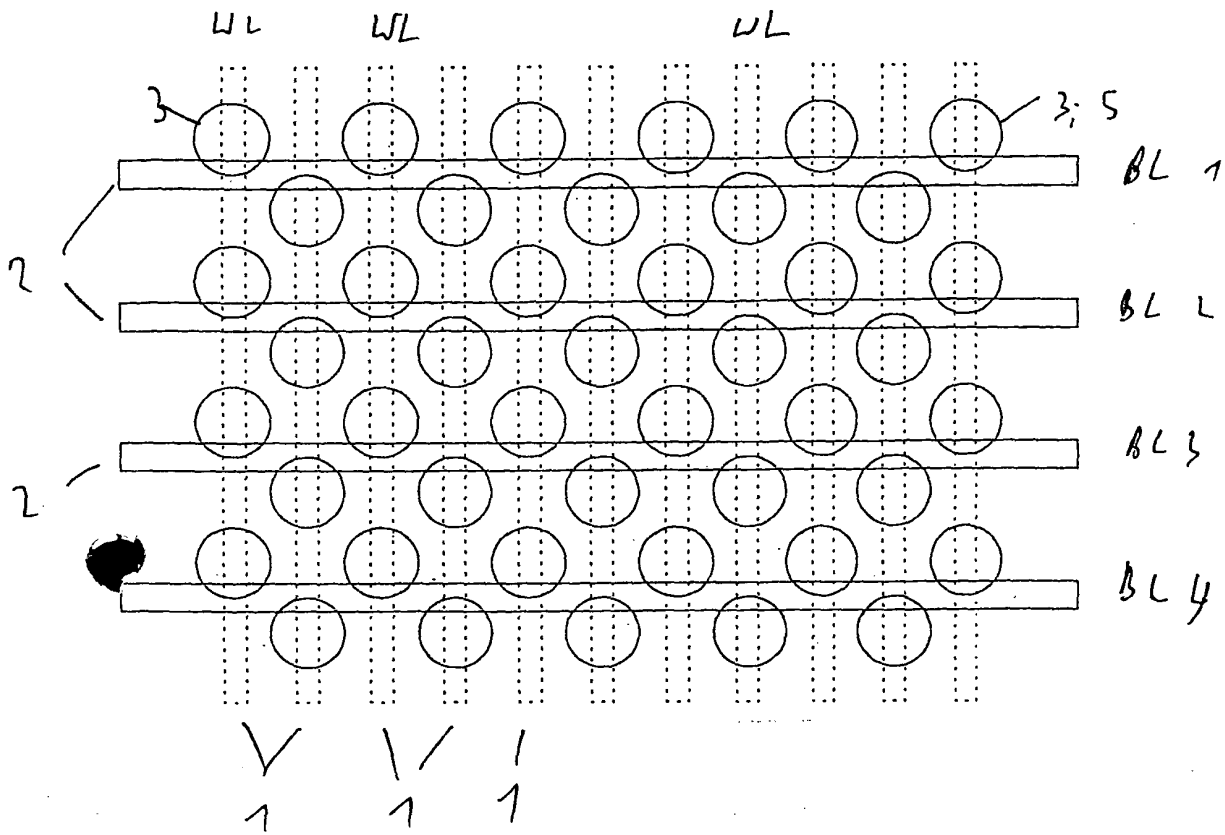


Fig. 5